

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT (Artikel 36 und Regel 70 PCT)

REC'D. 20 OCT 2004

WIPO PCT



Aktenzeichen des Anmelders oder Anwalts In1254WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEA416)	
Internationales Aktenzeichen PCT/DE 03/03044	Internationales Anmeldedatum (Tag/Monat/Jahr) 13.09.2003	Prioritätsdatum (Tag/Monat/Jahr) 16.09.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L21/8242		
Anmelder INFINEON TECHNOLOGIES AG et al.		

- Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
- Dieser BERICHT umfaßt insgesamt 5 Blätter einschließlich dieses Deckblatts.
 - ☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 4 Blätter.

- Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Bescheids
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 25.03.2004	Datum der Fertigstellung dieses Berichts 19.10.2004
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Kusztelan, L. Tel. +49 89 2399-2479 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-13 veröffentlichte Fassung

Ansprüche, Nr.

1-14 eingegangen am 08.10.2004 mit Schreiben vom 01.10.2004

Zeichnungen, Blätter

1/3-3/3 veröffentlichte Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE 03/03044

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

- | | |
|--------------------------------|---|
| 1. Feststellung | |
| Neuheit (N) | Ja: Ansprüche 1-14
Nein: Ansprüche |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche 1-14
Nein: Ansprüche |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1-14
Nein: Ansprüche: |

2. Unterlagen und Erklärungen:

siehe Beiblatt

1. Bestimmte angeführte Unterlagen

Patent Nr.	Veröffentlichungsdatum	Anmeldedatum
DE10133688	26.9.2002	11.7.2001

Das im Recherchenbericht als P-Dokument bezeichnete Dokument ist nicht als Stand der Technik nach Artikel 33(2) und (3) PCT zu berücksichtigen, da der beanspruchte Prioritätstag den relevanten Teilen der vorliegenden Anmeldung zuerkannt werden kann.

2. Es wird auf die folgenden Dokumente verwiesen:

- D1: DE 101 33 688 A (INFINEON TECHNOLOGIES AG) 26. September 2002
- D2: PATENT ABSTRACTS OF JAPAN Bd. 014, Nr. 187 (E-0917), 16. April 1990 (1990-04-16) -& JP 02 035770 A (MATSUSHITA ELECTRIC IND CO LTD), 6. Februar 1990 (1990-02-06)
- D3: US-A-5 055 898 (BEILSTEIN JR KENNETH E ET AL) 8. Oktober 1991
- D4: US-B-6 306 7191 (LEE KYU-PIL) 23. Oktober 2001 (2001-10-23)
- D5: WO 99/25026 A (LEHMANN VOLKER ;SIEMENS AG (DE)) 20. Mai 1999
- D6: DE 100 55 711 A (INFINEON TECHNOLOGIES AG) 23. Mai 2002
- D7: US-A-5 739 565 (MIYAWAKI MAMORU ET AL) 14. April 1998 (1998-04-14)
- D8: EP-A-0 553 791 (NIPPON ELECTRIC CO) 4. August 1993 (1993-08-04)
- D9: US-B-6 441 4241 (HOENLEIN WOLFGANG ET AL) 27. August 2002
- D10: PATENT ABSTRACTS OF JAPAN Bd. 012, Nr. 412 (E-676), 31. Oktober 1988 (1988-10-31) & JP 63 151071 A (MATSUSHITA ELECTRIC IND CO LTD), 23. Juni 1988 (1988-06-23)

Das Dokument D3 wird als nächstliegender Stand der Technik gegenüber dem Gegenstand des Anspruchs 1 angesehen. Es offenbart ein Verfahren zur Herstellung eines Halbleitersubstrats, in dem ein Halbleiter-Bauelementssubstrat mit einem Trägersubstrat verbunden werden. Die Dicke des Halbleiter-Bauelementssubstrats wird nachher rückgeätzt, um der Aufbau und die Verbindung der Bauelementen mit der Kondensator-Elektroden zu ermöglichen, vgl. Spalte 4, Zeilen 14-16. Der Gegenstand des Anspruchs 1 unterscheidet sich daher von dem bekannten Verfahren dadurch, daß ein Teil des Halbleiter-Bauelementssubstrats abgespaltet wird.

Der Gegenstand des Anspruchs 1 ist somit neu (Artikel 33(2) PCT).

Der Gegenstand des Anspruch 1, insofern er über D3 hinausgeht, wird durch keines der zitierten Dokumente nahegelegt; selbst ein Abspalt-Verfahren zur Trennung von zwei verbundenen Substrate ist nicht offenbart. Der Gegenstand des Anspruchs 1 erfüllt daher die Erfordernisse des PCT in bezug auf Neuheit und erfinderische Tätigkeit.

Die Ansprüche 2-14 sind vom Anspruch 1 abhängig und erfüllen damit ebenfalls die Erfordernisse des PCT in bezug auf Neuheit und erfinderische Tätigkeit.

Patentansprüche

1. Verfahren zur Herstellung eines Halbleitersubstrats mit den Schritten:

- 5 a) Ausbilden einer Vielzahl von Vertiefungen (P) und einer Kondensator-Gegenelektrode (E1) in einem Trägersubstrat (1);
- b) Ausbilden einer dielektrischen Schicht (D) an der Oberfläche der Vertiefungen (P) sowie des Trägersubstrats (1);
- c) Ausbilden und Strukturieren einer elektrisch leitenden
- 10 Schicht (E2) auf der dielektrischen Schicht (D) zur Realisierung einer Vielzahl von Kondensator-Elektroden zumindest in der Vielzahl von Vertiefungen (P);
- d) Ausbilden einer ersten Isolations-Teilschicht (2A) an der bearbeiteten Oberfläche des Trägersubstrats (1);
- 15 e) Bereitstellen eines Halbleiter-Bauelementsubstrats (3) mit einer Abspalt-Grenzschicht (3S) und einer zweiten Isolations-Teilschicht (2B);
- f) Verbinden des Halbleiter-Bauelementsubstrats (3) und des Trägersubstrats (1) an ihren Isolations-Teilschichten (2A,
- 20 2B) zum Ausbilden einer Isolationsschicht (2); und
- g) Abspalten eines Teils des Halbleiter-Bauelementsubstrats (3) an der Abspalt-Grenzschicht (3S).

2. Verfahren nach Patentanspruch 1, dadurch gekennzeichnet, dass in Schritt a)
- 25 a1) ein elektrochemisches Porenätzen zum Ausbilden von Poren (P) als Vertiefungen in einem Halbleitersubstrat (1); und
 - a2) ein Dotieren des Halbleitersubstrats (1) in der Umgebung der Poren (P) zum Ausbilden einer weiteren elektrisch leitenden Schicht als Kondensator-Gegenelektrode (E1) durchgeführt
 - 30 wird.

3. Verfahren nach Patentanspruch 2, dadurch gekennzeichnet, dass in Schritt a2)

a21) ein Ausbilden eines Dotierglases zumindest in den Poren (P);

5 a22) eine thermische Behandlung; und

a23) eine nass-chemische Entfernung des Dotierglases durchgeführt wird.

10 4. Verfahren nach einem der Patentansprüche 1 bis 3, dadurch gekennzeichnet, dass in Schritt b) ein hochtemperaturfestes Kondensatordielektrikum mit hoher Dielektrizitätskonstante ganzflächig ausgebildet wird.

15 5. Verfahren nach Patentanspruch 4, dadurch gekennzeichnet, dass nitridiertes Oxid, Al_2O_3 und/oder TiO_2 als Kondensatordielektrikum ausgebildet wird.

20 6. Verfahren nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass in Schritt c)
c1) eine elektrisch leitende Schicht (E2) zum Auffüllen der Vertiefungen (P) ganzflächig ausgebildet wird; und
c2) die elektrisch leitende Schicht (E2) zumindest teilweise oder vollständig bis zur dielektrischen Schicht (D) an der Oberfläche des Trägersubstrats (1) entfernt wird.

25

7. Verfahren nach Patentanspruch 6, dadurch gekennzeichnet, dass in Schritt c1)
in-situ dotiertes Polysilizium abgeschieden wird; und
in Schritt c2)

30 ein fotolithografisches Strukturieren mit einem anisotropen Rückätzen derart durchgeführt wird, dass eine Vielzahl von Kondensator-Elektroden zur Realisierung eines Gruppen-Kondensators (PK) miteinander verbunden sind.

8. Verfahren nach einem der Patentansprüche 1 bis 7, d a -
d u r c h g e k e n n z e i c h n e t , dass in Schritt d)
ein TEOS-Abscheideverfahren durchgeführt wird.

5

9. Verfahren nach einem der Patentansprüche 1 bis 8, d a -
d u r c h g e k e n n z e i c h n e t , dass in Schritt e)
ein Halbleiterwafer (3) mit einer Oxidschicht (2B) bereitge-
stellt wird, wobei die Abspalt-Grenzschicht (3S) mittels Was-
serstoff-Implantation ausgebildet ist.

10

10. Verfahren nach einem der Patentansprüche 1 bis 9, d a -
d u r c h g e k e n n z e i c h n e t , dass in Schritt f)
zum Verbinden ein Waferbonden durchgeführt wird.

15

11. Verfahren nach einem der Patentansprüche 1 bis 10, d a -
d u r c h g e k e n n z e i c h n e t , dass in Schritt g)
zum Abspalten eine weitere thermische Behandlung durchgeführt
wird.

20

12. Verfahren zur Herstellung einer DRAM-Speicherzelle in ei-
nem gemäß der Patentansprüche 1 bis 11 hergestellten Halblei-
tersubstrat mit den Schritten:

a) Ausbilden einer flachen Grabenisolierung in der Halblei-
ter-Bauelementschicht (3) zur Realisierung von aktiven Gebie-
ten;

25

b) Ausbilden eines Auswahltransistors (AT) mit Source-
/Draingebieten (7), einem Gatedielektrikum (4), einer als
Wortleitung (WL) dienenden Steuerschicht (5) und einer Gatei-
solation (6, 8);

30

c) Ausbilden eines Kontaktloches (V) zumindest in der Isola-
tionsschicht (2) und der Halbleiter-Bauelementschicht (3);

d) Ausbilden einer Verbindungsschicht (9) im Kontaktloch (V) zwischen einem Source-/Draingebiet (7) des Auswahltransistors (AT) und zumindest einer Kondensator-Elektrode (E2);

5 e) Ausbilden einer Zwischen-Isolationsschicht (10) mit einem Bitleitungskontakt (11) zu einem komplementären Source-/Draingebiet (7); und

f) Ausbilden und Strukturieren einer Bitleitungsschicht (12) zur Realisierung einer Bitleitung (BL) an der Oberfläche der Zwischen-Isolationsschicht (10).

10 13. Verfahren nach Patentanspruch 12, dadurch gekennzeichnet, dass in Schritt c) unter Verwendung der Gateisolation (6, 8) und eines lithografischen Verfahrens das Kontaktloch (V) selbstjustierend freigeätzt wird.

14. Verfahren nach Patentanspruch 12 oder 13, dadurch gekennzeichnet, dass in Schritt d) zum Ausbilden der Verbindungsschicht (9) eine weitere in-situ dotierte polykristalline Halbleiterschicht ganzflächig abgeschieden und anschließend isotrop oder anisotrop rückgeätzt wird.